

# 公告本

申請日期：90、1、6

案號：90116591

類別：H01L 23/28

(以上各欄由本局填註)

## 發明專利說明書

501246

一、 發明名稱	中 文	晶片尺寸模壓封裝裝置及其封裝方法
	英 文	
二、 發明人	姓 名 (中文)	1. 焦宇禎
	姓 名 (英文)	1.
	國 籍	1. 中華民國
	住、居所	1. 新竹市明湖路1200巷132弄29號
三、 申請人	姓 名 (名稱) (中文)	1. 焦宇禎
	姓 名 (名稱) (英文)	1.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 新竹市明湖路1200巷132弄29號
	代表人 姓 名 (中文)	1.
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

四、中文發明摘要 (發明之名稱：晶片尺寸模壓封裝裝置及其封裝方法)

本發明提供一種晶片尺寸模壓封裝裝置及其封裝方法，其係在晶片之第一表面設有複數焊墊，且每一焊墊上安裝有一導電接點，並在晶片之第二表面形成至少一凹陷，一封裝膠體填滿該凹陷且覆蓋晶片的至少相對二側；其中，更可在晶片的第二表面或第一表面上安裝一支撐架。本發明並無使用任何封裝基板與引線，使封裝裝置具有晶片般尺寸大小、可靠度高、電性傳輸快速及減少製程步驟與時間等特性。

英文發明摘要 (發明之名稱：)



## 五、發明說明 (1)

### 發明領域：

本發明係有關一種封裝體，特別是關於一種利用封裝膠體作為晶片載具之晶片尺寸的模壓封裝裝置及其製造方法。

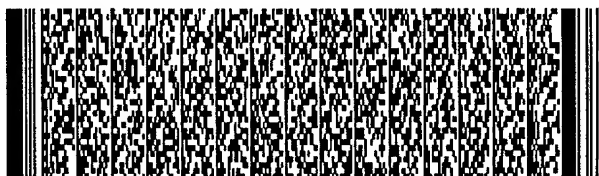
### 發明背景：

在半導體製程技術不斷推陳出新的過程中，晶片的製作因細微化製程的進步，不但大幅縮小，亦提供更多的功能且有效降低製造成本。而隨著許多新穎的構裝技術及材料被開發出，晶片封裝尺寸的縮小亦成為現今半導體業者所追求的目標。

在目前半導體的封裝技術中，其共通點皆是將晶片安裝在封裝基板或導線架上，再利用引線形成電連接，使封裝後之晶片可利用焊球或引腳而安裝在其他裝置上，但此種封裝將受限於導線架、封裝基板、引線的存在，使得縮小封裝尺寸的發展受到相當多的限制，而無法真正縮至最小，不僅無法滿足高功能晶片的需求，並無法縮小SMT

(Surface Mount Technology) 組裝面積，且此種封裝技術由於需要過多的材料及過於繁瑣的製程，因此容易造成封裝成本的提高與封裝時間的拉長，使得在封裝製程異常的比例偏高，不但使產品可靠度降低，並造成正常晶片的無謂損失。

因此本發明係在根據上述之困擾，而提出一種無使用封裝基板之晶片尺寸模壓封裝裝置。



## 五、發明說明 (2)

## 發明目的與概述：

本發明之主要目係在提供一種利用封裝膠體當作晶片載具之晶片尺寸模壓封裝裝置，且其並無使用任何封裝基板與引線，以確實將封裝尺寸縮至最小的晶片般尺寸。

本發明之另一目的係直接沿用現今成熟的模壓技術，來達成縮小封裝體SMT面積之功效，並減少製程步驟，以提高晶片封裝體的製造產量。

本發明之再一目的係提出一種結構簡單、可靠度高且電性傳輸快速之晶片尺寸模壓封裝裝置。

本發明之又一目的係在降低封裝裝置的製造成本，且避免耗費不必要之材料。

為達上述之目的，一晶片尺寸模壓封裝，包括一具有第一表面及第二表面之晶片，在第一表面的中央設有複數焊墊，其上安裝有對外之導電接點，在晶片第二表面並形成有至少一貫穿晶片相對二端之凹陷，利用一封裝膠體填滿該凹陷且包覆該晶片；其中在晶片的第二表面或第一表面更可設置一支撐架，且在晶片之第一表面的二側各形成一缺口。

底下藉由具體實施例配合所附的圖式詳加說明，當更容易瞭解本發明之目的、技術內容、特點及其所達成之功效。

## 圖號說明：

10 晶片尺寸模壓封裝裝置

12 晶片



## 五、發明說明 (3)

14 焊墊	16 錫球
18 凹陷	20 封裝膠體
22 晶圓	24 模具
26 凸肋	28 模槽
30 錫餅	32 片體支撐架
34 孔洞	36 框形架體
38 延伸部	40 導槽
42 全片型支撐架	44 底座支撐架
46 凸起	48 缺口
52 圓板	54 圓柱體

## 詳細說明：

本發明之主要特點係利用封裝膠體作為晶片之載具，並藉由晶片背面之局部研磨強化晶片與封裝膠體間的結合強度，以達到結構簡單且可靠性佳之優點。

一晶片尺寸模壓封裝裝置10，如第一a圖及第一b圖所示，一晶片12具第一表面及第二表面，在晶片12之第一表面中央設有複數個排列整齊的焊墊14，且每一焊墊14上形成有一導電接點，常用者為錫球16或焊料凸塊，以形成晶片12內部線路與外部裝置之溝通路徑，在晶片12之第二表面的相對二長邊邊緣分別形成有一凹陷18，且凹陷18並貫穿晶片12的前後二端，如第一c圖所示並利用一封裝膠體20填滿凹陷18且覆蓋晶片12受凹陷18貫穿的前後二側面。

其中，封裝膠體20係使用模塑化合物 (molding



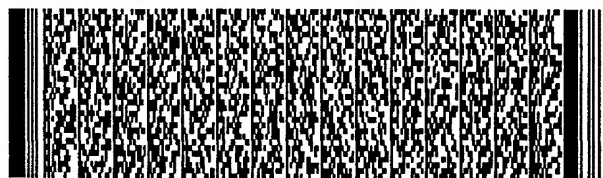
## 五、發明說明 (4)

compound)，常用者為環氧樹脂，而如第二a圖至第二c圖所示，封裝膠體20更可包覆至晶片12的第一表面，而使錫球16部分凸出該封裝膠體20，以作為對外接點，或如第三a圖至第三c圖所示封裝膠體20僅包覆至設置有焊墊14的第一表面中央局部，且使錫球16部分凸出。

而如第四a圖至第四c圖所示，凹陷18亦可形成於第二表面的相對二短邊邊緣，使封裝膠體20填滿凹陷18且覆蓋晶片12左右二側面；或如第五a圖至第五c圖所示，凹陷18更可形成於第二表面四周邊，且使封裝膠體20完全包覆晶片12的四周圍；其中，如上所述，封裝膠體20亦分別可再包覆至第一表面的全部或中央局部。

而上述之凹陷18的分佈除了與上述相同之第六a圖所示之形成於第二表面二邊緣外，亦可如第六b圖所示之形成於第二表面的中間，或如第六c圖所示之中間及二邊緣兩者兼具，且凹陷18的深度並以不傷及晶片12之線路層的厚度為限而可具有不同的深度。

現就上述第一c圖或第四c圖之結構來說明本發明之封裝方法，如第七圖所示，包括下列步驟：準備一半導體晶圓22，其上係形成有複數排列整齊之晶片12，其係具有第一表面及第二表面，且第一表面中央設置複數個排列整齊之焊墊14；利用一寬度較晶圓22上相鄰二晶片12的間距寬之板狀切割刀具，同時對相鄰二晶片12進行切割，以在每一晶片12第二表面的邊緣形成一凹陷18；對晶圓22進行切割，以形成複數個單一晶片12；在每一晶片12之焊墊14上



## 五、發明說明 (5)

分別佈植一錫球16，再進行回焊處理，以提供對外之接點；之後並將每一晶片12置入模具24內，且請同時參閱第八圖，晶片12之平行凹陷18的相對二側並緊鄰模具24兩內壁，使模流注入後僅流至晶片12第二表面之凹陷18與晶片12受凹陷18貫穿的相對兩端，並經模壓或印刷及烘烤以將封裝膠體20裝填於凹陷18及覆蓋晶片12相對兩側，而在晶片12第二表面未形成有凹陷18處則完全不被封裝膠體20包覆，以完成一晶片尺寸模壓封裝裝置10。

另外，上述第五c圖所示之封裝膠體20完全包覆晶片12四周圍的方法則係在進行模壓步驟時，使模具24的長寬規格皆略大於晶片12的長寬規格，則模流除了流入凹陷18外，並流至晶片12的四周，且於模壓或印刷及烘烤後完全包覆晶片12，而其他步驟則與上述大致相同，故在此不再贅述；至於如第二a圖及第三a圖所示之晶片尺寸模壓封裝裝置10，其封裝方法與上述封裝方法的主要差別僅在於模具24深度上的改變，而使封裝膠體20可完全覆蓋或局部覆蓋至晶片12的第一表面，並使錫球16部分突出於封裝膠體20。

其中，上述晶片尺寸模壓封裝裝置10之導電接點並可為一錫餅30之結構，如第九圖所示，其係包括一圓板52及一直徑較圓板52小的圓柱體54，又圓柱體54並設置於圓板52表面且為一體開模成型者，而將此錫餅30設置於焊墊14上的方法則為藉由導電性銀膠或類似材料將圓板52底部與晶片12之焊墊接合，並以烘烤方式進行固化，與一般錫球





## 五、發明說明 (6)

之回焊處理不同，而此種以錫餅30作為晶片12對外接點的設計，當錫餅30底部之圓板52全部及圓柱體54局部被封裝膠體20包覆時，錫餅30脫落的可能性將大幅降低，可改善一般錫球容易脫落缺點。

在上述之封裝方法中，針對第六b圖或第六c圖所示之中間凹陷18的形成，係以工字形切割刀具或一字形切割刀具對第二表面的中間區域進行研磨，以於第二表面的中間分別形成二凹陷18或一凹陷18。

上述在進行模壓步驟時，如第十圖所示，係在一模槽28內整齊排列有複數個模具24，以供於每一模具24上分別放置一經局部切割以形成有凹陷18之晶片12，並將封裝膠體20注入模槽28中，且對所有模具24上的每一晶片12同時進行模壓，使封裝膠體包覆每一晶片12。其中，如第十一a圖及第十一b圖所示，並可同時於每一模具24上放置二片晶片12，並在每一模具24的內壁且相鄰二晶片12之間形成有凸肋26，以同時利用封裝膠體20將每一模具24上的二片晶片12包覆在一起，使二晶片12構成一封裝裝置，以達晶片封裝尺寸縮小之目的；此種在同一封裝裝置中包覆複數個晶片12的設計亦可應用於呈矩陣排列之四片晶片12，如第十二圖所示，或九片晶片12中。

在本發明中，係沿用成熟的模壓或印刷技術與在晶片第二表面之局部研磨的概念且對晶片進行封裝，以構成一片晶片與封裝膠體間結合强度高之封裝裝置，以具有可靠性佳之優點，且晶片封裝後的長寬尺寸即為模具內壁的長寬

## 五、發明說明 (7)

尺寸，可達一最小的封裝尺寸，而具有輕薄短小結構簡單且電性傳輸快速之優點；此外，本發明係採用原有之設備進行量產，無須其他額外投資，將可降低設備成本，並因本發明無使用任何形式之基板、薄膜、銀膠、金線及捲帶等材料，除了可降低材料成本外，並可避免以往因製程製程過於繁瑣所造成之封裝異常比例升高之情形，以減少正常晶片的無謂損失。

另外，本發明除了在晶片12之第二表面形成有凹陷18，以供填充封裝膠體20之實施例外，並可在晶片12的底部安裝支撐架，如第十三a圖所示，在晶片12之第一表面中央設有複數個排列整齊的焊墊14，每一焊墊14上設置有一作為導電接點之錫餅30，在晶片12之第二表面的相對二邊緣分別形成一凹陷18，每一凹陷18的中央安裝有一片體支撐架32，如第十三b圖所示，一封裝膠體20並包覆整個晶片12及片體支撐架32。其中封裝膠體20的設置亦如前所述，可僅包覆晶片12相對二側、環設整個晶片12、包覆至第一表面全部或包覆至第一表面中央局部等，故於此不再一一加以說明，且在底下之實施例中，並皆以導電接點為錫餅30結構及封裝膠體20環設整個晶片12且包覆至第一表面全部為例來說明本發明之實施態樣。

如第十四圖所示，在上述片體支撐架32突出於晶片12的位置並設置有一孔洞34，使封裝膠體20填滿整個孔洞34；其中該孔洞34亦可以一設置於片體支撐架32上表面或下表面之導槽取代。而除了上述二片體支撐架32之設計，

## 五、發明說明 (8)

亦可直接在一框形架體36的內側水平延設一延伸部38，如第十五圖所示，使框形架體36環設晶片12，且延伸部38卡固於凹陷18中，而封裝膠體20並包覆晶片12及框形架體36。

另外，支撐架亦可設置於晶片12之第一表面的相對二側，如第十六圖所示，其係將二片體支撐架32分別設置於第一表面的二側，且於二片體支撐架32上突出第一表面的位置設置一孔洞34，使封裝膠體20包覆整個晶片12及片體支撐架32，且填滿孔洞34；其中，孔洞34亦可分別以導槽取代。

其中，支撐架亦可為全片狀而覆蓋晶片12之第一表面，且使錫餅30部分突出於全片型支撐架42，如第十七圖所示，並於全片型支撐架42突出第一表面的二側各形成一孔洞34，使封裝膠體20包覆整個晶片12及全片型支撐架42，並填滿該孔洞34；其中，上述之孔洞34亦可以設置於全片裝支撐架42上表面或下表面之導槽代替。

上述無論是片體支撐架32或全片型支撐架42的設計，並不會增加封裝裝置整體之厚度，除了可充分保護晶片之外，並使本發明之封裝裝置更具有散熱度好且可靠性佳之優點，

另外，如第十八圖所示，亦可直接於整個晶片12之第二表面設置一底座支撐架44，以承載整個晶片12，再於底座支撐架44上方設置封裝膠體20，以包覆整個晶片12；其中如第十九圖所示，在底座支撐架44之突出晶片12相對二

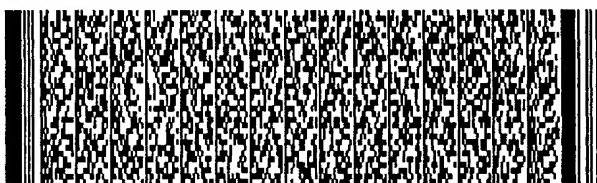


## 五、發明說明 (9)

端的上表面二側並形成有一導槽40，以於利用封裝膠體20包覆晶片12時，封裝膠體20會填充於導槽40中；或如第二十圖所示，導槽40亦可形成於底座支撐架44的下表面。其中底座支撐架44亦可呈一口字型設計，如第二十一圖所示，以於底座支撐架44及晶片12之間填充封裝膠體20；並可於底座支撐架44內側底端分別設置一長形凸起46，如第二十二圖所示，使底座支撐架44承載晶片12時，長形凸起46分別置於晶片12兩側的凹陷18中。

現就上述第十三b圖所示之結構來說明本發明之封裝方法，如第二十三圖所示，準備一半導體晶圓22，其上係形成有複數排列整齊之晶片12，且晶片12之第一表面中央設置複數個排列整齊之焊墊14；利用板狀切割刀具，同時對相鄰二晶片12進行切割，以在每一晶片12第二表面的邊緣形成一凹陷18；對晶圓22進行切割，以形成複數個單一晶片12；在每一晶片12之焊墊14上分別佈植一錫餅30，以提供對外之接點；在晶片12的凹陷18中央分別安裝一片體支撐架32；之後再利用封裝膠體20包覆晶片12與片體支撐架32，以藉此完成一晶片尺寸模壓封裝裝置10。而至於其它第十四圖至第二十二圖之具有支撐架的封裝裝置，主要差別僅在於支撐架位置及結構的不同，其封裝方法大致與上述方法相同，故在此不再贅述。

另一方面，在本發明中，不管為上述何種封裝裝置之結構，更可於每一晶片12之第一表面的平行二邊緣形成一缺口48，或如第二十四a圖至第二十四c圖所示，缺口48亦



## 五、發明說明 (10)

可形成於晶片之第一表面的四邊緣。而第二十五圖所示為製作第二十四c圖之封裝裝置的流程示意圖，如圖所示，此封裝方法包括下列步驟：準備一半導體晶圓22，其上係形成有複數排列整齊之晶片12，且晶片12之第一表面中央設置複數個排列整齊之焊墊14；利用板狀切割刀具，同時對相鄰二晶片12進行切割，以分別在每一晶片12之第二表面的邊緣形成一凹陷18，且於第一表面的邊緣形成一缺口48；對晶圓22進行切割，以形成複數個單一晶片14；在每一焊墊14上分別佈植一錫餅30；之後再利用封裝膠體20包覆晶片12，且使封裝膠體20填滿凹陷18及缺口48，以藉此完成一晶片尺寸模壓封裝裝置10。

另外，如第二十六圖所示，一晶片尺寸模壓封裝裝置10亦可僅在晶片12之第一表面形成缺口48，且使封裝膠體20填滿該缺口48，而第二表面則無形成有凹陷18，使該封裝膠體20係僅藉由缺口48的設計強化晶片12與封裝膠體20間的結合強度。而此種晶片尺寸模壓封裝裝置10的封裝方法則在進行切割時僅針對晶圓22上晶片12之第一表面進行切割，其他步驟則完全相同，故在此亦不再贅述。

惟以上所述者，僅為本發明之較佳實施例而已，並非用來限定本發明實施之範圍。故即凡依本發明申請專利範圍所述之形狀、構造、特徵及精神所為之均等變化與修飾，均應包括於本發明之申請專利範圍內。

## 圖式簡單說明

## 圖式說明：

第一a圖至第一c圖分別為本發明之俯視圖、仰視圖及局部剖視圖。

第二a圖至第二c圖分別為本發明另一實施例之俯視圖、仰視圖及局部剖視圖。

第三a圖至第三c圖分別為本發明再一實施例之俯視圖、仰視圖及局部剖視圖。

第四a圖至第四c圖分別為本發明又一實施例之俯視圖、仰視圖及局部剖視圖。

第五a圖至第五c圖分別為本發明又一實施例之俯視圖、仰視圖及局部剖視圖。

第六a圖至第六c圖為本發明之各種凹陷形成位置示意圖。

第七圖為第一c圖所示封裝裝置之封裝方法。

第八圖為第一c圖所示封裝裝置與模具組合示意圖。

第九圖為本發明使用錫餅作為導電接點示意圖。

第十圖為本發明之模具排列示意圖。

第十一a圖及第十一b圖為本發明同時對二晶片封裝之俯視圖及剖視圖。

第十二圖為本發明同時對四晶片封裝之俯視圖。

第十三a圖及第十三b圖為本發明凹陷處具有支撐架之俯視圖及局部剖視圖。

第十四圖為本發明凹陷處具有支撐架之另一實施例局部剖視圖。

第十五圖為本發明凹陷處具有支撐架之再一實施例局部剖



## 圖式簡單說明

視圖。

第十六圖為本發明晶片第一表面具有支撐架之局部剖視圖。

第十七圖為本發明晶片第一表面具有支撐架之另一實施例局部剖視圖。

第十八圖為本發明晶片第二表面具有支撐架之局部剖視圖。

第十九圖為本發明晶片第二表面具有支撐架之另一實施例局部剖視圖。

第二十圖為本發明晶片第二表面具有支撐架之再一實施例局部剖視圖。

第二十一圖為本發明晶片第二表面具有支撐架之又一實施例局部剖視圖。

第二十二圖為本發明晶片第二表面具有支撐架之又一實施例局部剖視圖。

第二十三圖為第十三b圖所示封裝裝置之封裝方法。

第二十四a圖至第二十四c圖分別為本發明晶片第一表面形成有缺口之俯視圖、仰視圖及局部剖視圖。

第二十五圖為第二十四c圖所示封裝裝置之封裝方法。

第二十六a圖至第二十六c圖分別為本發明晶片第一表面形成有缺口之另一實施例俯視圖、仰視圖及局部剖視圖。



#### 六、申請專利範圍

1. 一種晶片尺寸模壓封裝裝置，包括：

至少一晶片，其係具有第一表面及第二表面，在該第一表面中央設有複數焊墊，且每一該焊墊上形成有一導電接點；

至少一凹陷，形成於該晶片之第二表面，且該凹陷並貫穿該晶片相對二側面；以及

一封裝膠體，填滿該凹陷且至少包覆該晶片受該凹陷貫穿的相對二側面。

2. 如申請專利範圍第1項所述之晶片尺寸模壓封裝裝置，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

3. 如申請專利範圍第2項所述之晶片尺寸模壓封裝裝置，其中，該焊餅係藉由一體開模成型方式在一圓板表面形成一直徑較小之圓柱體。

4. 如申請專利範圍第1項所述之晶片尺寸模壓封裝裝置，其中，該凹陷於該晶片第二表面的位置係選自該第二表面之中間區域、相對二邊緣及中間區域與相對二邊緣兼具其中之一。

5. 如申請專利範圍第1項所述之晶片尺寸模壓封裝裝置，其中，該封裝膠體更環設該晶片的側面。

6. 如申請專利範圍第1項或第5項所述之晶片尺寸模壓封裝裝置，其中，該封裝膠體並包覆該焊墊及該導電接點，且使該導電接點部分凸出該封裝膠體。

7. 如申請專利範圍第1項或第5項所述之晶片尺寸模壓封裝





#### 六、申請專利範圍

裝置，其中，該封裝膠體並覆蓋該晶片第一表面，且使該導電接點部分凸出該封裝膠體。

8. 如申請專利範圍第1項或第5項所述之晶片尺寸模壓封裝裝置，其中，在該晶片之第一表面的至少二相對邊緣並形成有一缺口，且使該封裝膠體包覆該缺口。

9. 一種晶片尺寸模壓封裝之封裝方法，包括下列步驟：

準備一晶圓，其上形成有複數個具有第一表面及第二表面之晶片，且該晶片之第一表面的中央係設有複數個焊墊；利用切割刀具於每一該晶片之第二表面形成至少一凹陷，使該凹陷並貫穿該晶片之相對二端；

對該晶圓進行切割，以形成複數個該單一晶片；

在每一該焊墊上安裝一導電接點；以及

利用一封裝膠體填滿該凹陷，且至少覆蓋該晶片受該凹陷貫穿的相對二側面。

10. 如申請專利範圍第9項所述之晶片尺寸模壓封裝之封裝方法，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

11. 如申請專利範圍第10項所述之晶片尺寸模壓封裝之封裝方法，其中，該焊餅係藉由一體開模成型方式在一圓板表面形成一直徑較小之圓柱體，且該焊餅係利用膠合方式將該圓板安裝於該焊墊表面。

12. 如申請專利範圍第9項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體之形成方式係選自注模成型及印刷成型其中之一。



#### 六、申請專利範圍

13. 如申請專利範圍第9項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體更環設該晶片的側面。

14. 如申請專利範圍第9項或第13項所述之晶片尺寸模壓封裝之封裝方法，其中，在該晶圓進行切割之前，更可於每一該晶片之第一表面的至少二相對邊緣分別形成一缺口。

15. 如申請專利範圍第14項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體並包覆該缺口。

16. 如申請專利範圍第13項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體並同時包覆複數個該晶片。

17. 一種晶片尺寸模壓封裝裝置，包括：

至少一晶片，其係具有第一表面及第二表面，在該第一表面中央設有複數焊墊，且每一該焊墊上形成有一導電接點；

至少二凹陷，分別平行形成於該晶片第二表面之二邊緣，且貫穿該晶片相對二側面；

一支撐架，設置於該晶片第二表面且至少突出該晶片相對二側；以及

一封裝膠體，填滿該凹陷且至少覆蓋該晶片受該凹陷貫穿的相對二側面。

18. 如申請專利範圍第17項所述之晶片尺寸模壓封裝裝置，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

19. 如申請專利範圍第17項所述之晶片尺寸模壓封裝裝置，其中，在晶片之第一表面的至少二相對邊緣並形成有



## 六、申請專利範圍

一缺口，且使該封裝膠體包覆該缺口。

20. 如申請專利範圍第17項所述之晶片尺寸模壓封裝裝置，其中，該支撐架突出該晶片之相對二端的上表面及下表面之至少一表面分別形成有至少一導槽。

21. 如申請專利範圍第17項所述之晶片尺寸模壓封裝裝置，其中，該支撐架突出該晶片的相對二端分別形成有一彎折部，以包覆該封裝膠體的相對二側。

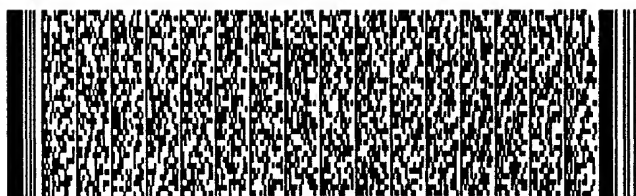
22. 如申請專利範圍第21項所述之晶片尺寸模壓封裝裝置，其中，該彎折部的相對二內側底端並形成有一凸起，以分別設置於該晶片第二表面之該凹陷中。

23. 如申請專利範圍第17項所述之晶片尺寸模壓封裝裝置，其中，該支撐架係在一框形架體的內側分別水平延設一延伸部，使該框形架體環設晶片，且該延伸部並分別卡置於該每一凹陷中，而使該封裝膠體裝填於該晶片及該框形架體之間。

24. 如申請專利範圍第17項所述之晶片尺寸模壓封裝裝置，其中，該支撐架係為二片體，且分別設置於每一該凹陷中央，且突出該晶片，並受該封裝膠體包覆。

25. 如申請專利範圍第24項所述之晶片尺寸模壓封裝裝置，其中，每一該片體突出該晶片的一端並形成有至少一孔洞。

26. 如申請專利範圍第24項所述之晶片尺寸模壓封裝裝置，其中，每一該片體突出該晶片的一端之上表面及下表面之至少一表面並形成有至少一導槽。



## 六、申請專利範圍

27. 一種晶片尺寸模壓封裝之封裝方法，包括下列步驟：

準備一晶圓，其上形成有複數個具有第一表面及第二表面之晶片，且該晶片之第一表面的中央係設有複數個焊墊；利用切割刀具於每一該晶片之第二表面形成至少一凹陷，使該凹陷並貫穿該晶片之相對二端；

對該晶圓進行切割，以形成複數個該單一晶片；

在每一該焊墊上安裝一導電接點；

在該每一晶片的底部設置一支撐架，使其突出該晶片的至少相對二側；以及

利用一封裝膠體填滿該凹陷，且至少覆蓋該晶片受該凹陷貫穿的相對二側面。

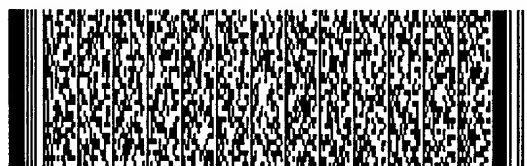
28. 如申請專利範圍第27項所述之晶片尺寸模壓封裝之封裝方法，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

29. 如申請專利範圍第27項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體之形成方式係選自注模成型及印刷成型其中之一。

30. 如申請專利範圍第27項所述之晶片尺寸模壓封裝之封裝方法，其中，在該晶圓進行切割之前，更可於每一該晶片之第一表面的至少二相對邊緣分別形成一缺口。

31. 如申請專利範圍第30項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體並包覆該缺口。

32. 如申請專利範圍第27項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體並同時包覆複數個該晶片。



## 六、申請專利範圍

33. 一種晶片尺寸模壓封裝裝置，包括：

至少一晶片，其係具有第一表面及第二表面，在該第一表面中央設有複數焊墊，且每一該焊墊上形成有一導電接點；

至少二凹陷，分別平行形成於該晶片第二表面之二邊緣，且貫穿該晶片相對二側面；

一支撐架，設置於該晶片之第一表面且至少突出該晶片相對二側；以及

一封裝膠體，填滿該凹陷及至少覆蓋該晶片受該凹陷貫穿的相對二側面，且包覆該晶片之第一表面而使該導電接點部分凸出該封裝膠體。

34. 如申請專利範圍第33項所述之晶片尺寸模壓封裝裝置，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

35. 如申請專利範圍第33項所述之晶片尺寸模壓封裝裝置，其中，在晶片之第一表面的至少二相對邊緣並形成有一缺口，且使該封裝膠體包覆該缺口。

36. 如申請專利範圍第33項所述之晶片尺寸模壓封裝裝置，其中，該支撐架突出該晶片之相對二端的上表面及下表面之至少一表面分別形成有至少一導槽。

37. 如申請專利範圍第33項所述之晶片尺寸模壓封裝裝置，其中，該支撐架係為二片體，且分別設置於該第一表面之相對二側，並突出該晶片。

38. 如申請專利範圍第37項所述之晶片尺寸模壓封裝裝置



#### 六、申請專利範圍

置，其中，每一該片體突出該晶片的一端並形成有至少一孔洞。

39. 如申請專利範圍第37項所述之晶片尺寸模壓封裝裝置，其中，每一該片體突出該晶片的一端之上表面及下表面之至少一表面並形成有至少一導槽。

40. 如申請專利範圍第35項所述之晶片尺寸模壓封裝裝置，其中，該支撐架係為二片體，且分別設置於每一該缺口中央，且突出該晶片。

41. 一種晶片尺寸模壓封裝之封裝方法，包括下列步驟：  
準備一晶圓，其上形成有複數個具有第一表面及第二表面之晶片，且該晶片之第一表面的中央係設有複數個焊墊；  
利用切割刀具於每一該晶片之第二表面形成至少一凹陷，使該凹陷並貫穿該晶片之相對二端；  
對該晶圓進行切割，以形成複數個該單一晶片；  
在每一該焊墊上安裝一導電接點；  
在該每一晶片的該第一表面設置一支撐架，使其突出該晶片的至少相對二側；以及  
利用一封裝膠體填滿該凹陷及至少覆蓋該晶片受該凹陷貫穿的相對二側面，並包覆該晶片之第一表面而使該導電接點部分凸出該封裝膠體。

42. 如申請專利範圍第41項所述之晶片尺寸模壓封裝之封裝方法，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

43. 如申請專利範圍第41項所述之晶片尺寸模壓封裝之封



#### 六、申請專利範圍

裝方法，其中，該封裝膠體之形成方式係選自注模成型及印刷成型其中之一。

44. 如申請專利範圍第41項所述之晶片尺寸模壓封裝之封裝方法，其中，在該晶圓進行切割之前，更可於每一該晶片之第一表面的至少二相對邊緣分別形成一缺口。

45. 如申請專利範圍第44項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體並包覆該缺口。

46. 如申請專利範圍第41項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體並同時包覆複數個該晶片。

47. 一種晶片尺寸模壓封裝裝置，包括：

至少一晶片，其係具有第一表面及第二表面，在該第一表面中央設有複數焊墊，且每一該焊墊上形成有一導電接點；

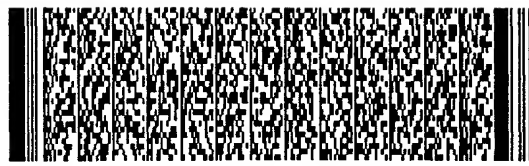
至少一缺口，形成於該晶片之第一表面，且該缺口並貫穿該晶片相對二側面；以及

一封裝膠體，填滿該缺口且至少包覆該晶片受該缺口貫穿的相對二側面。

48. 如申請專利範圍第47項所述之晶片尺寸模壓封裝裝置，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

49. 一種晶片尺寸模壓封裝之封裝方法，包括下列步驟：

準備一晶圓，其上形成有複數個具有第一表面及第二表面之晶片，且該晶片之第一表面的中央係設有複數個焊墊；利用切割刀具於每一該晶片之第一表面形成至少一缺口，



#### 六、申請專利範圍

使該缺口並貫穿該晶片之相對二端；

對該晶圓進行切割，以形成複數個該單一晶片；

在每一該焊墊上安裝一導電接點；以及

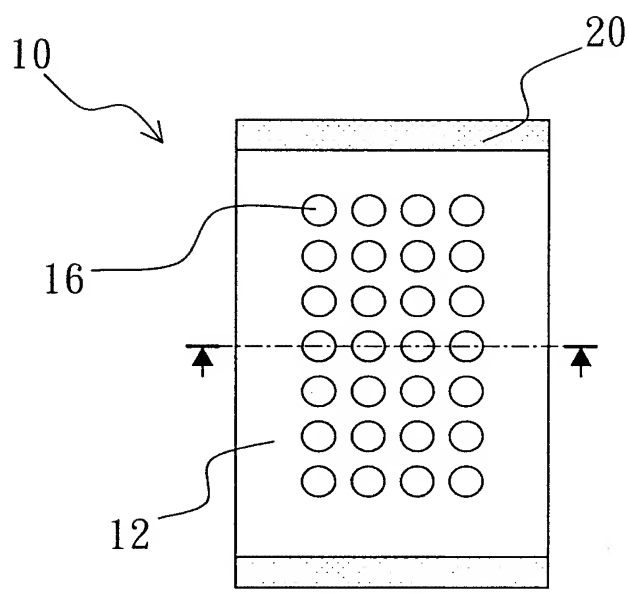
利用一封裝膠體填滿該缺口，且至少覆蓋該晶片受該缺口貫穿的相對二側面。

50. 如申請專利範圍第49項所述之晶片尺寸模壓封裝之封裝方法，其中，該導電接點之型態係選自焊球、焊料凸塊及焊餅其中之一。

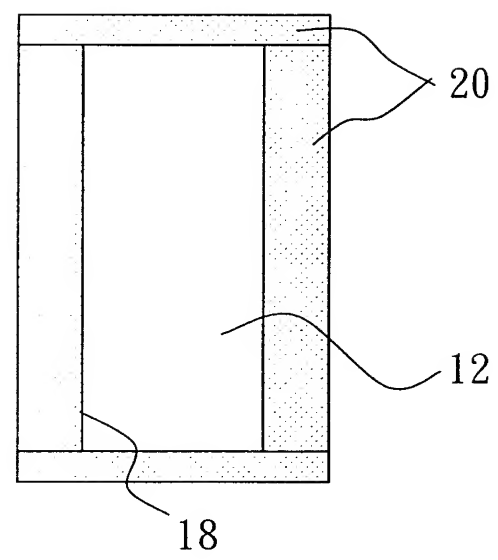
51. 如申請專利範圍第49項所述之晶片尺寸模壓封裝之封裝方法，其中，該封裝膠體之形成方式係選自注模成型及印刷成型其中之一。



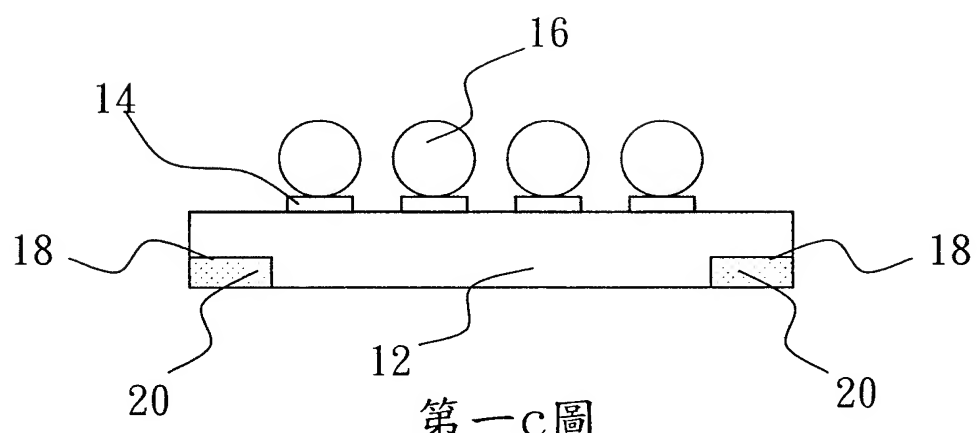




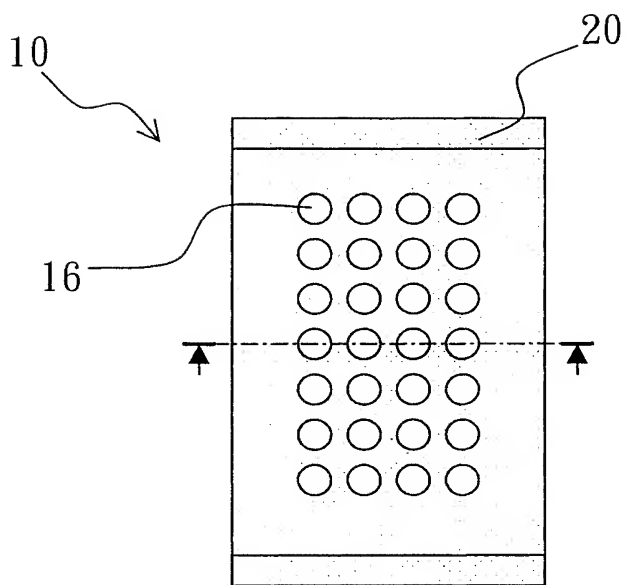
第一a圖



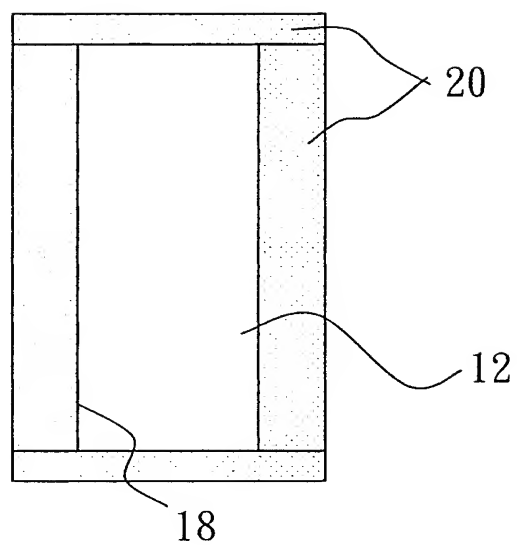
第一b圖



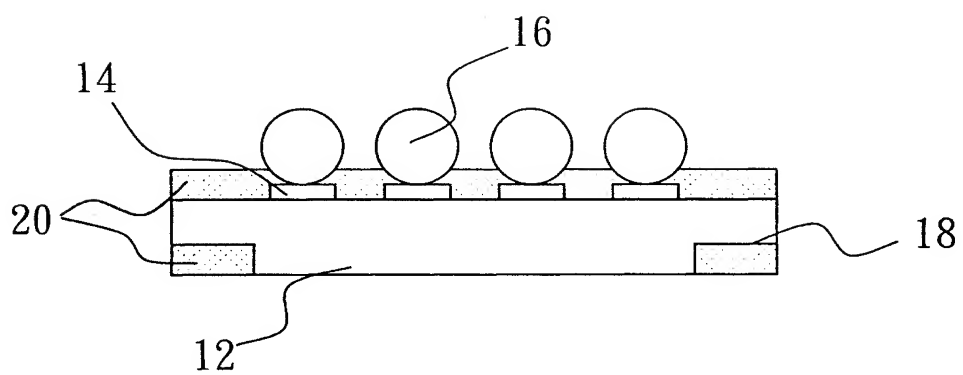
第一c圖



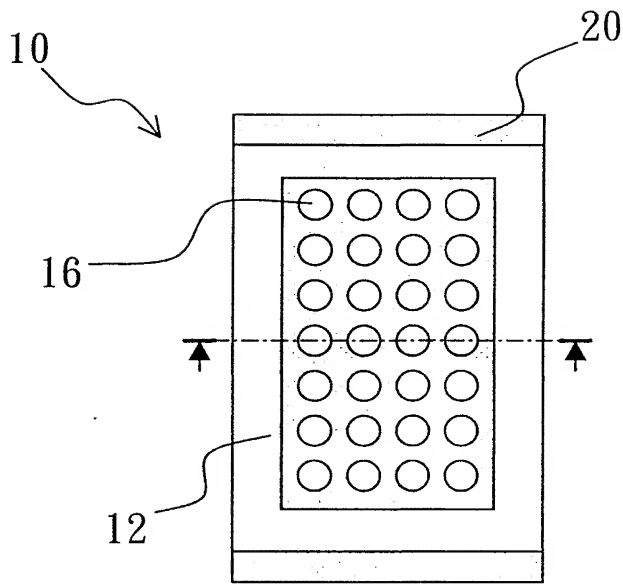
第二a圖



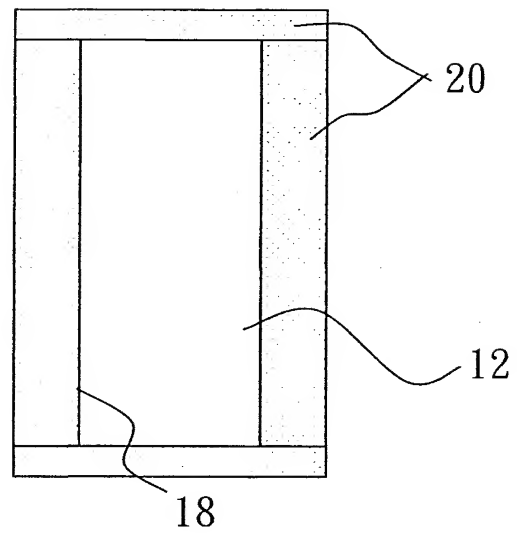
第二b圖



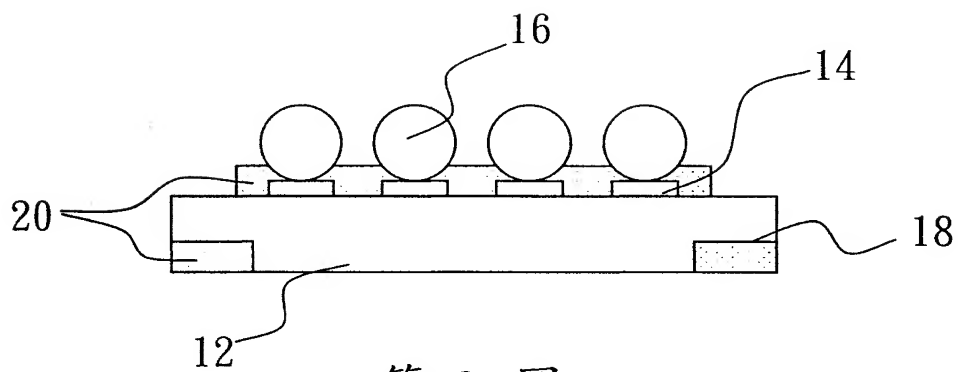
第二c圖



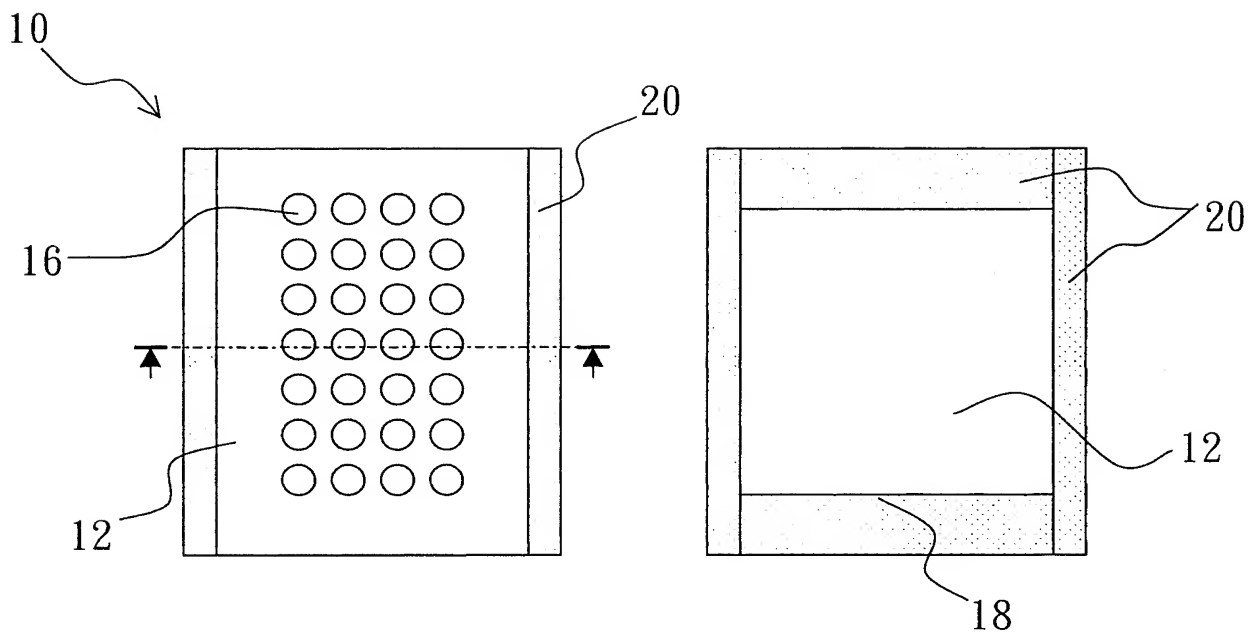
第三a圖



第三b圖

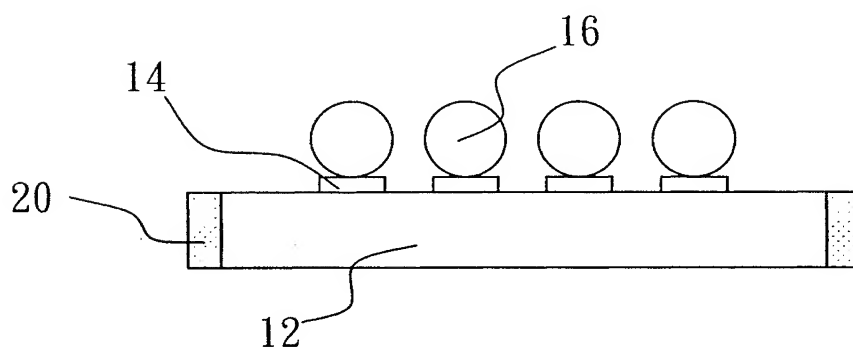


第三c圖

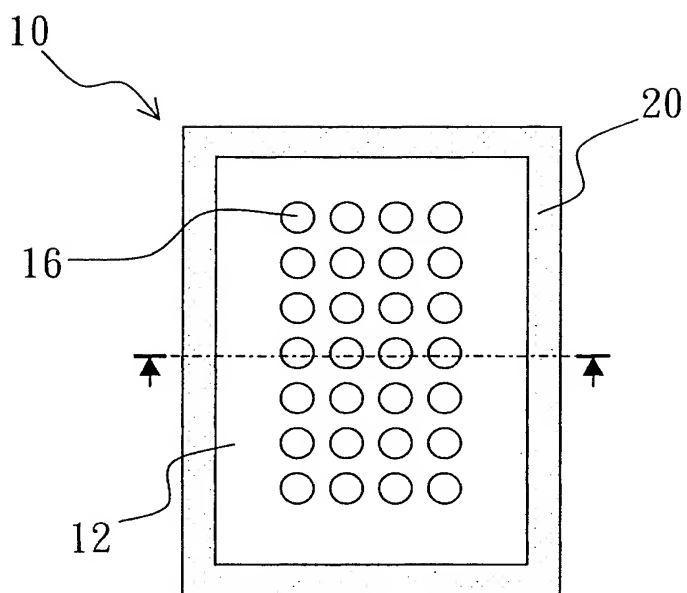


第四a圖

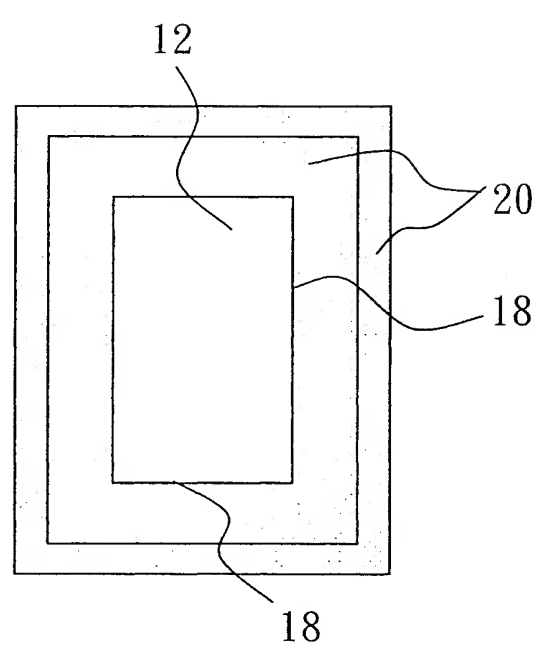
第四b圖



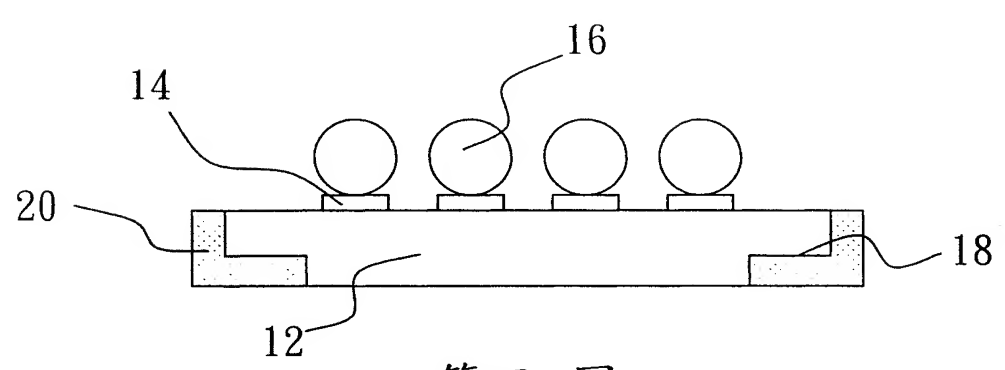
第四c圖



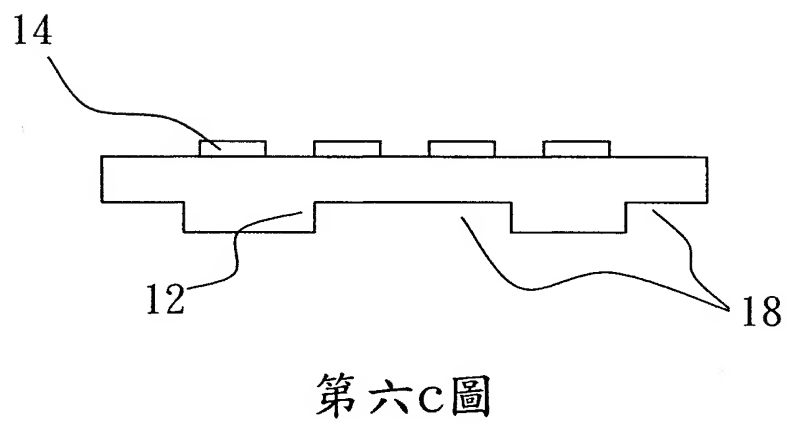
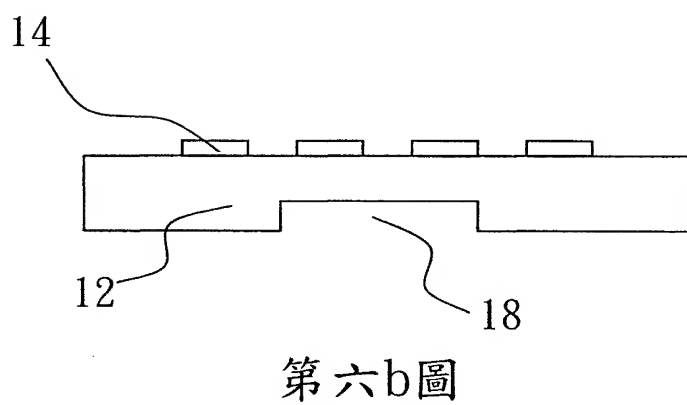
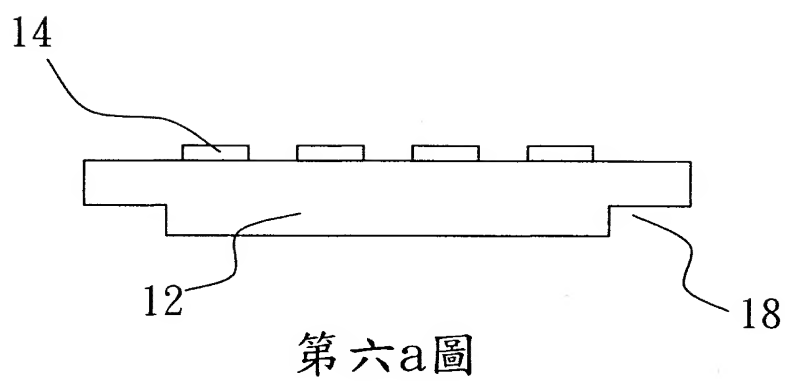
第五a圖

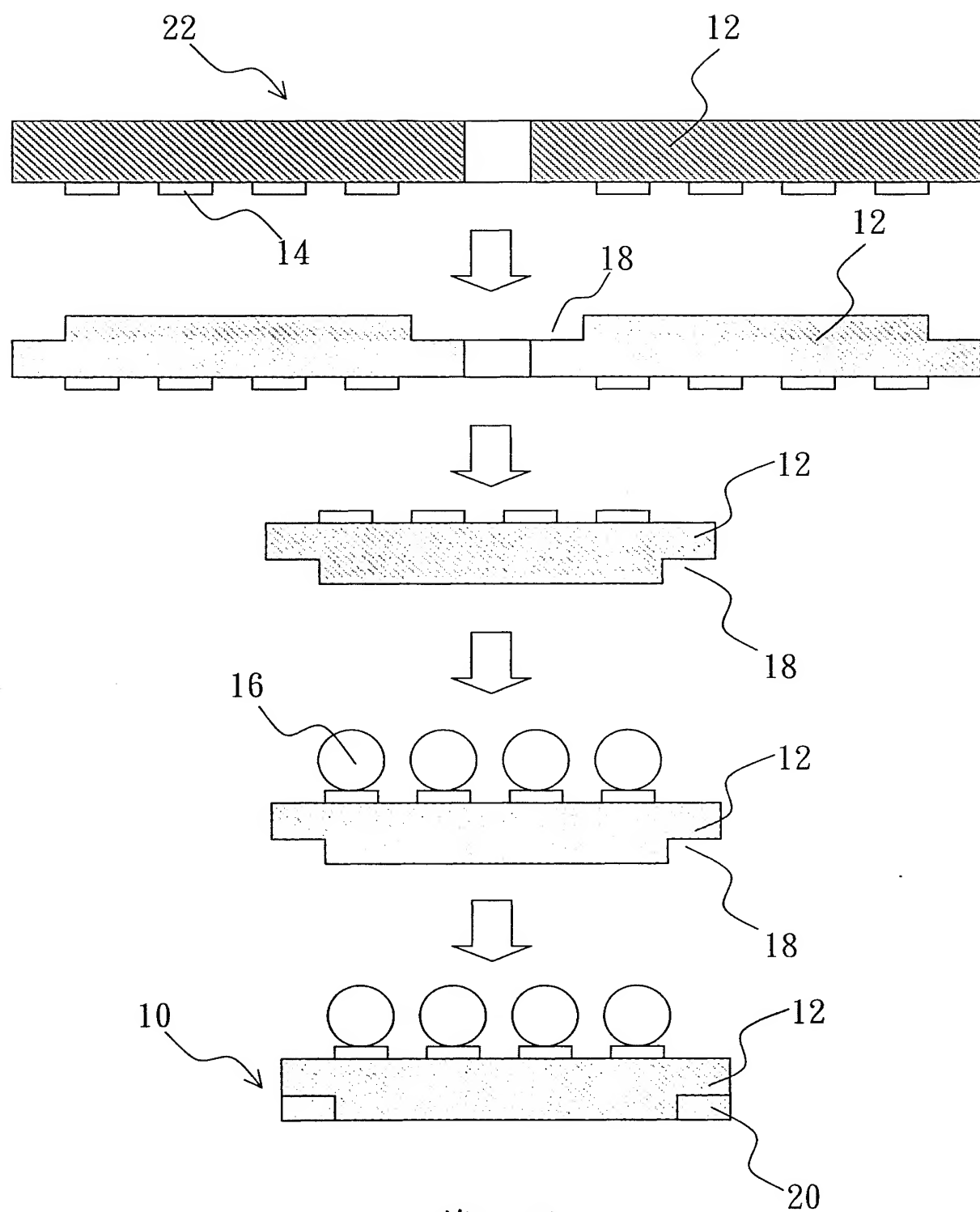


第五b圖

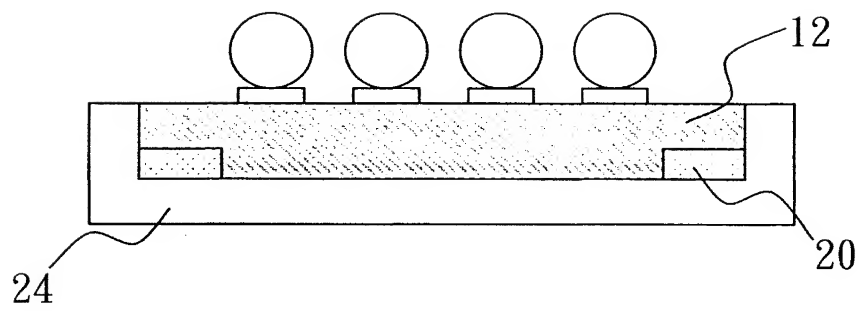


第五c圖



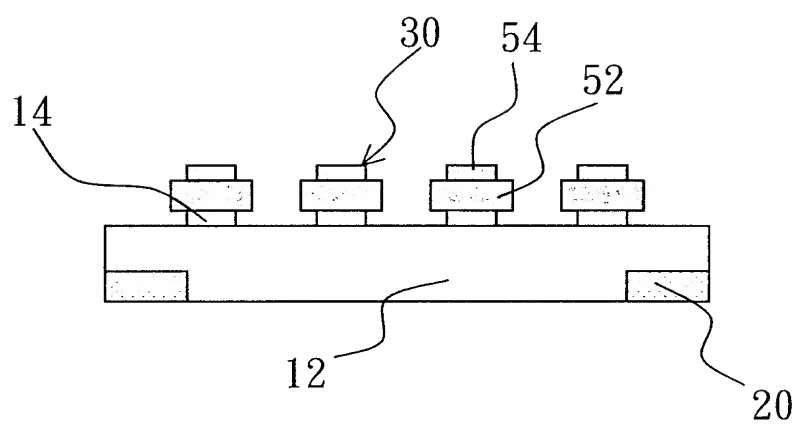


第七圖

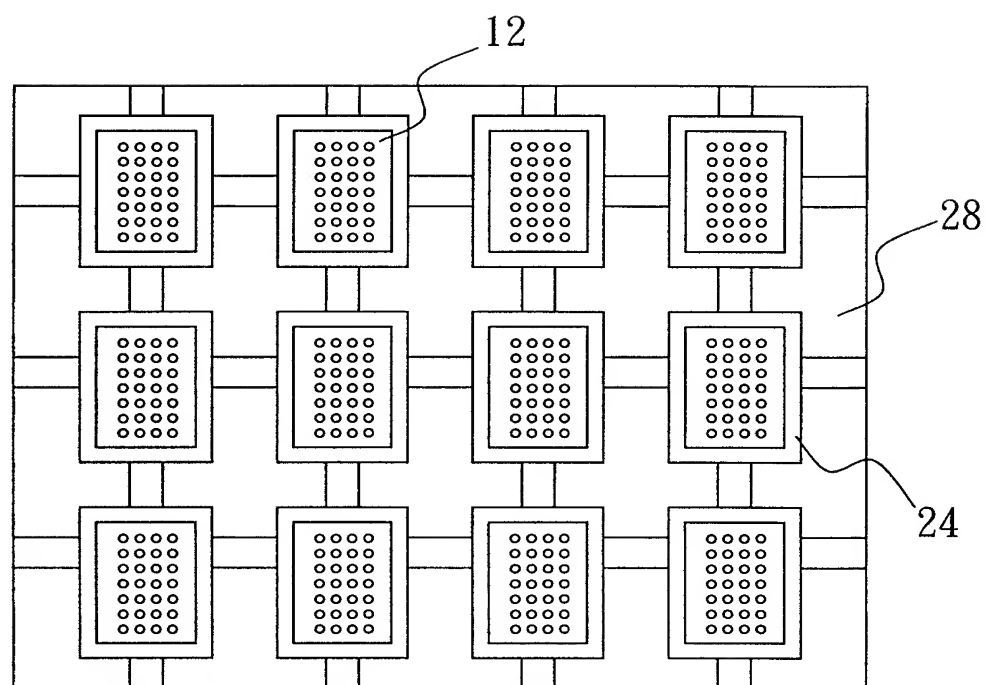


第八圖

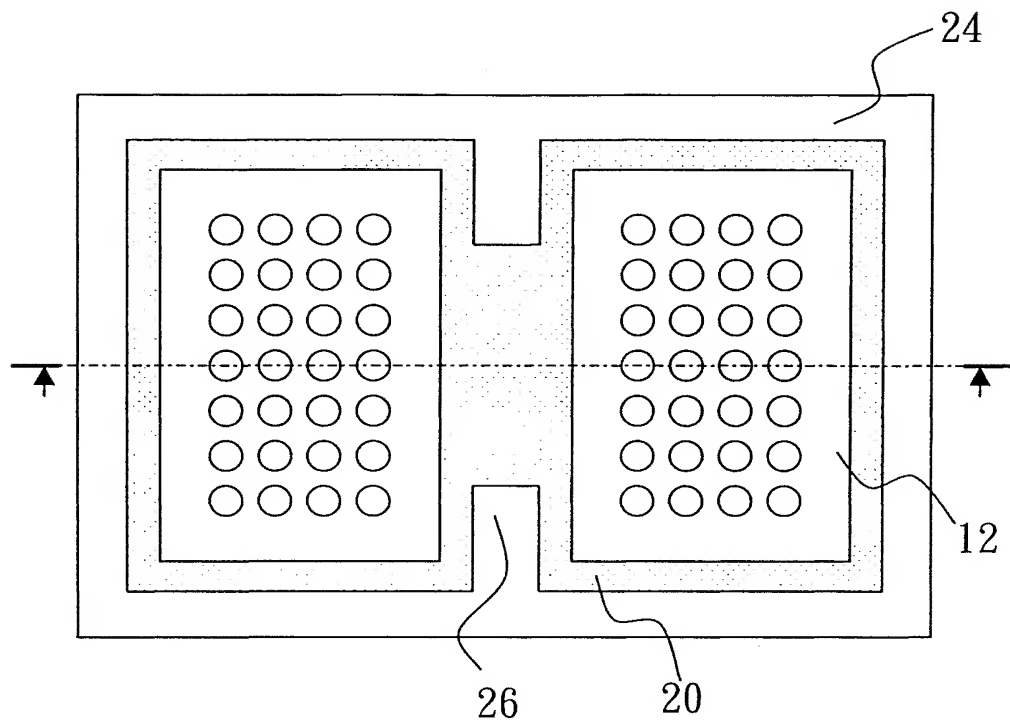




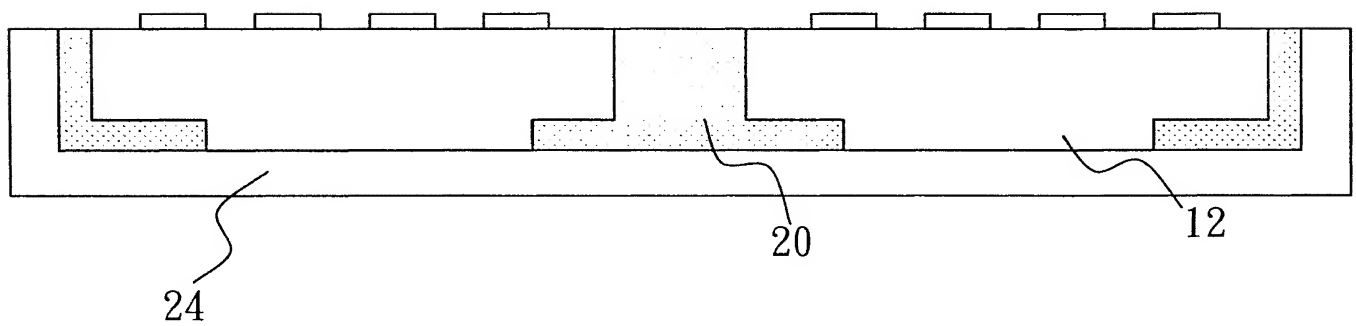
第九圖



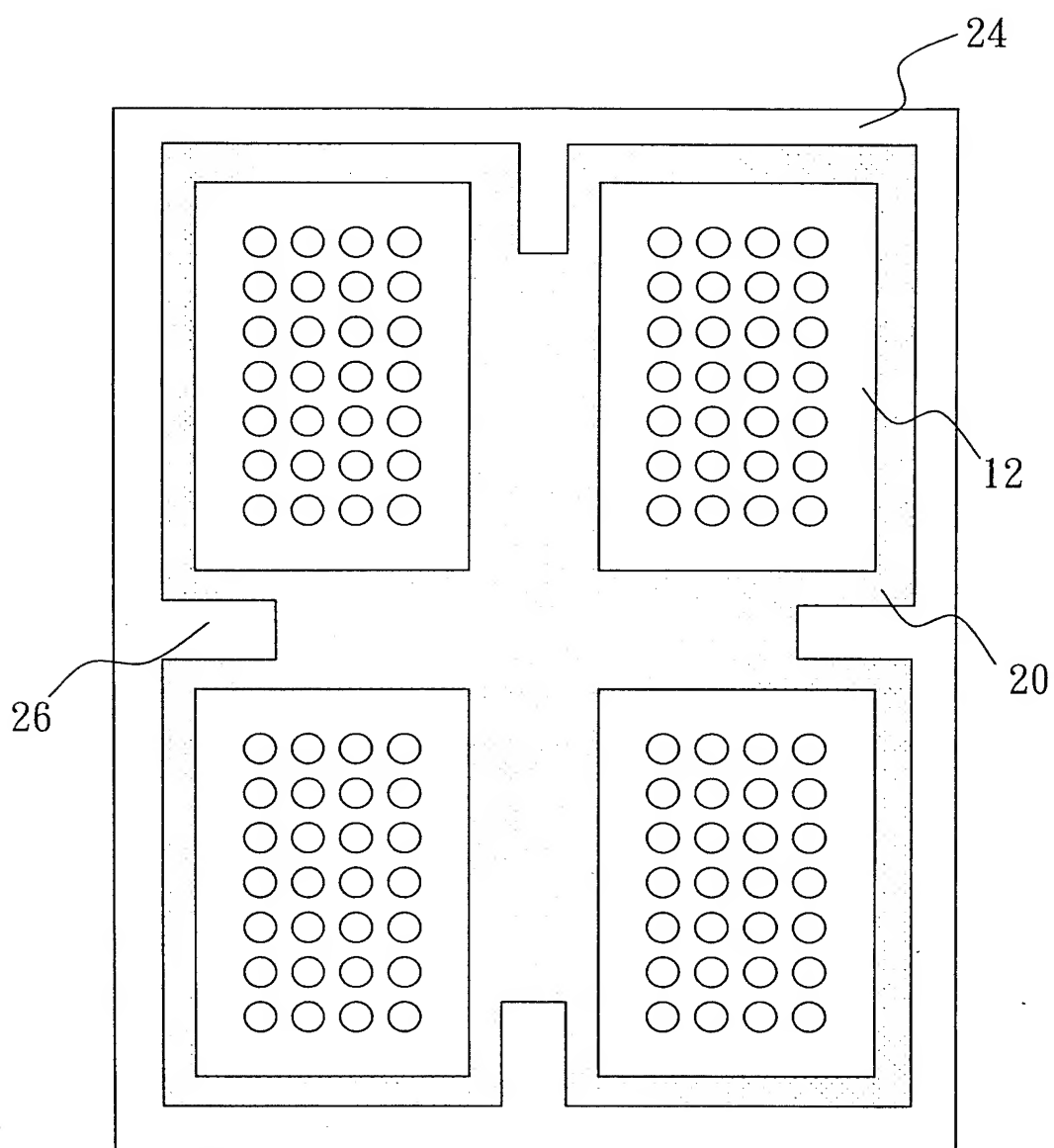
第十圖



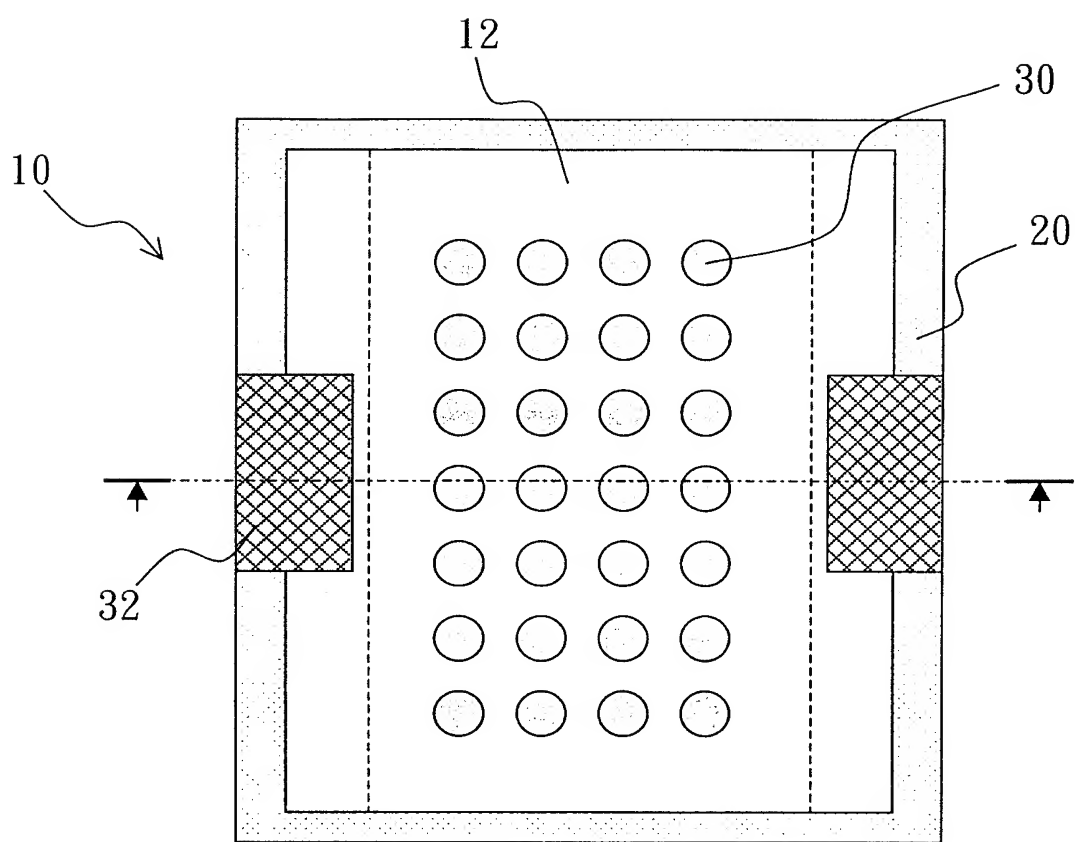
第十一a圖



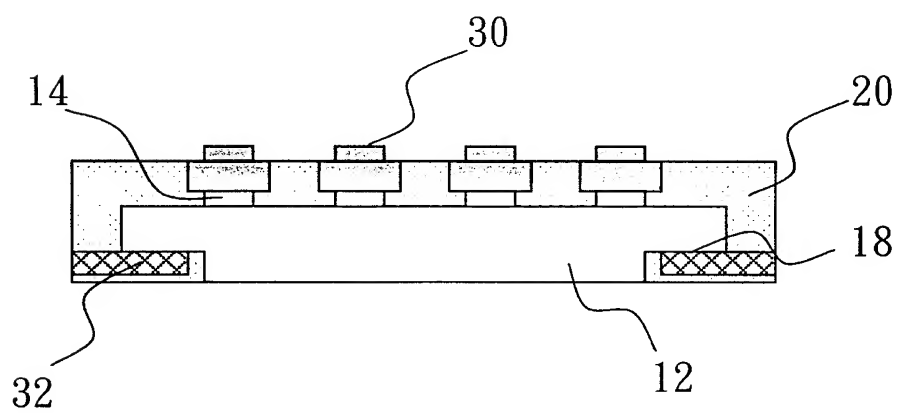
第十一b圖



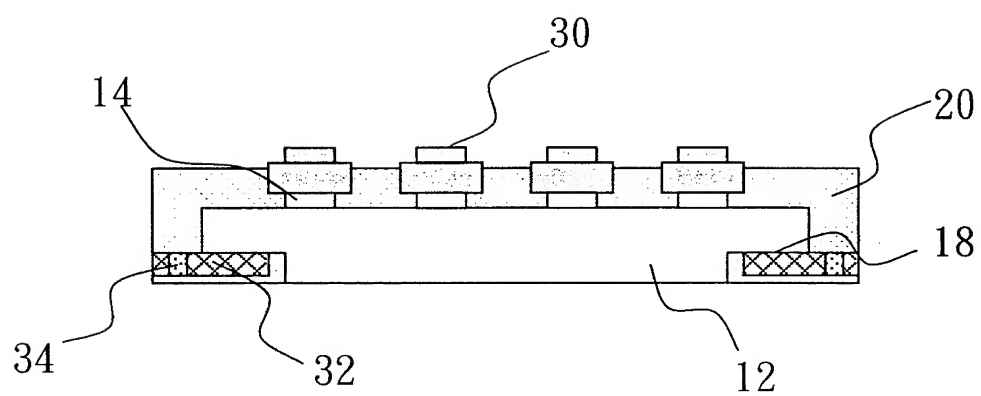
第十二圖



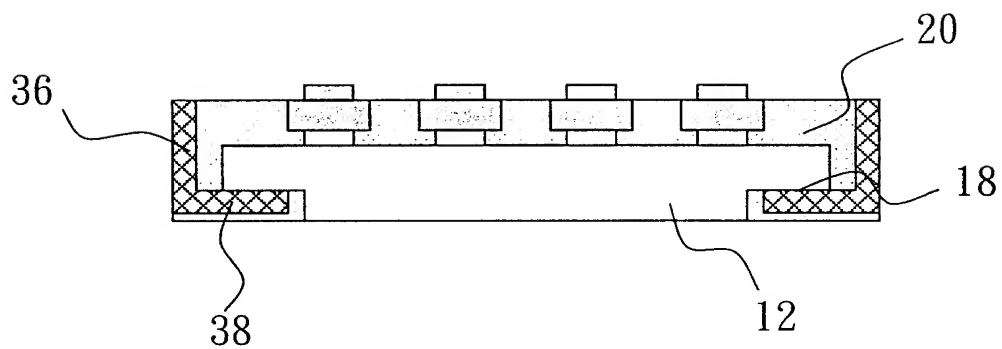
第十三a圖



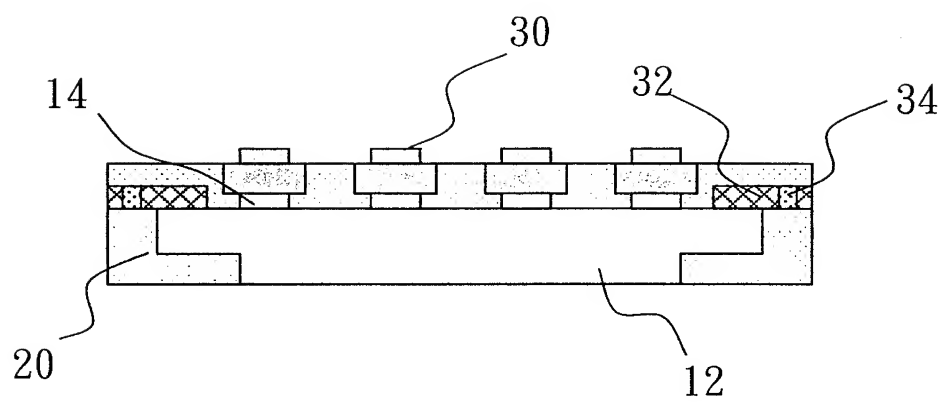
第十三b圖



第十四圖

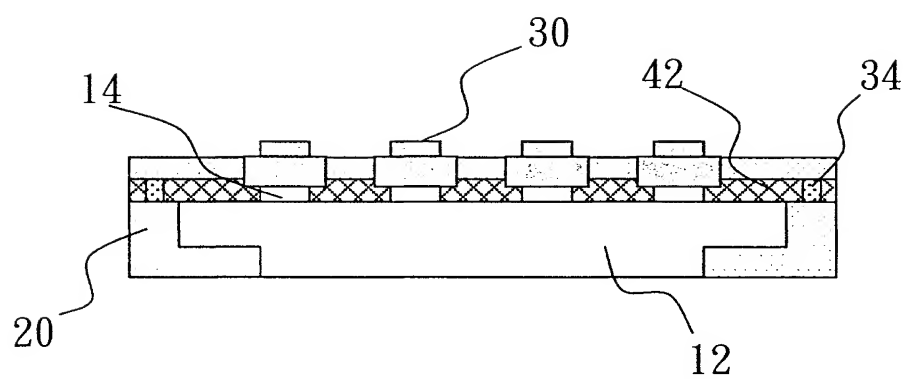


第十五圖

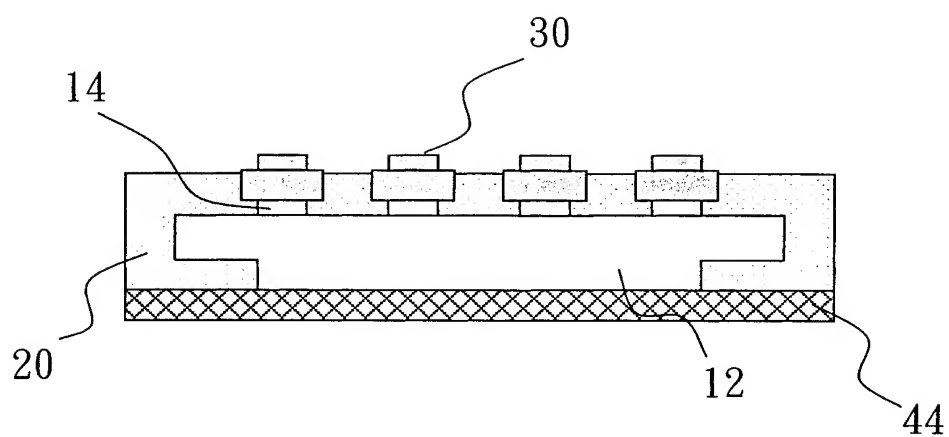


第十六圖

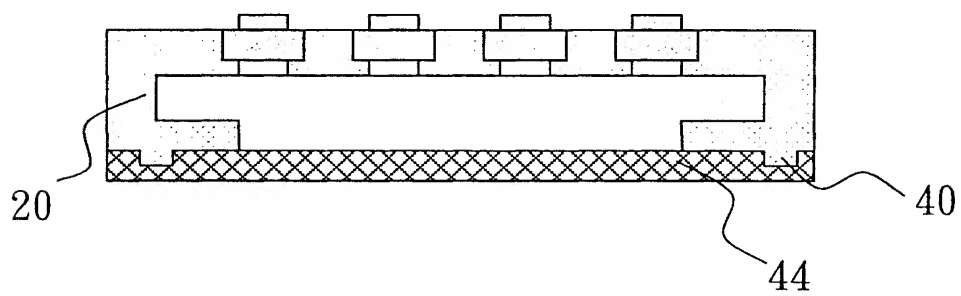




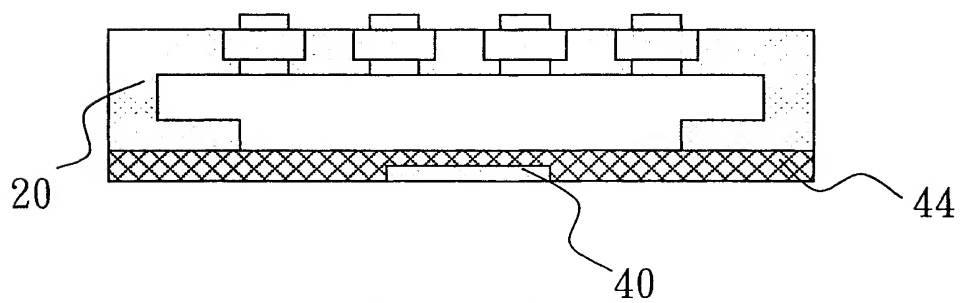
第十七圖



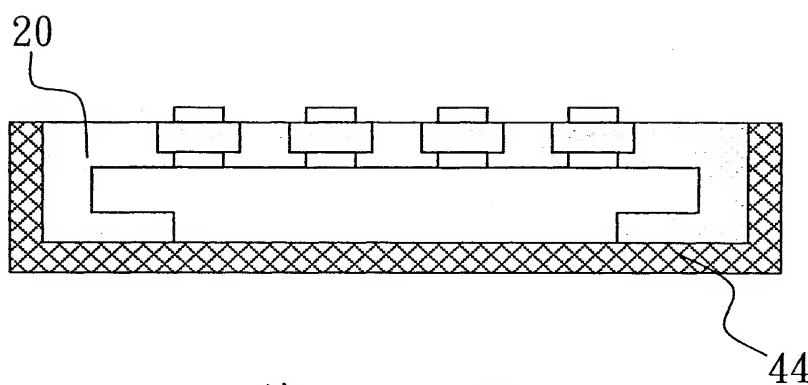
第十八圖



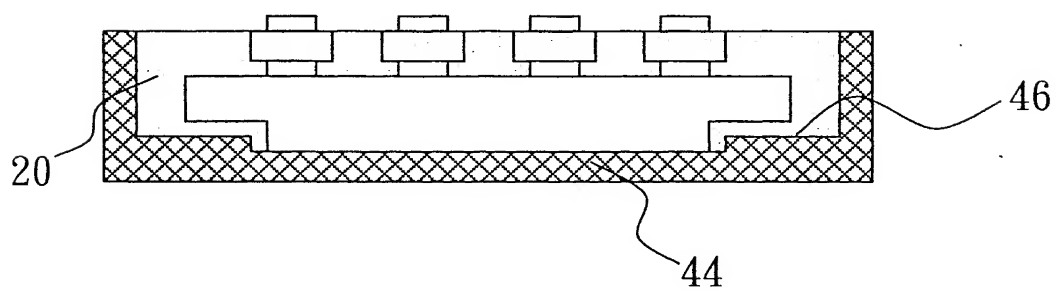
第十九圖



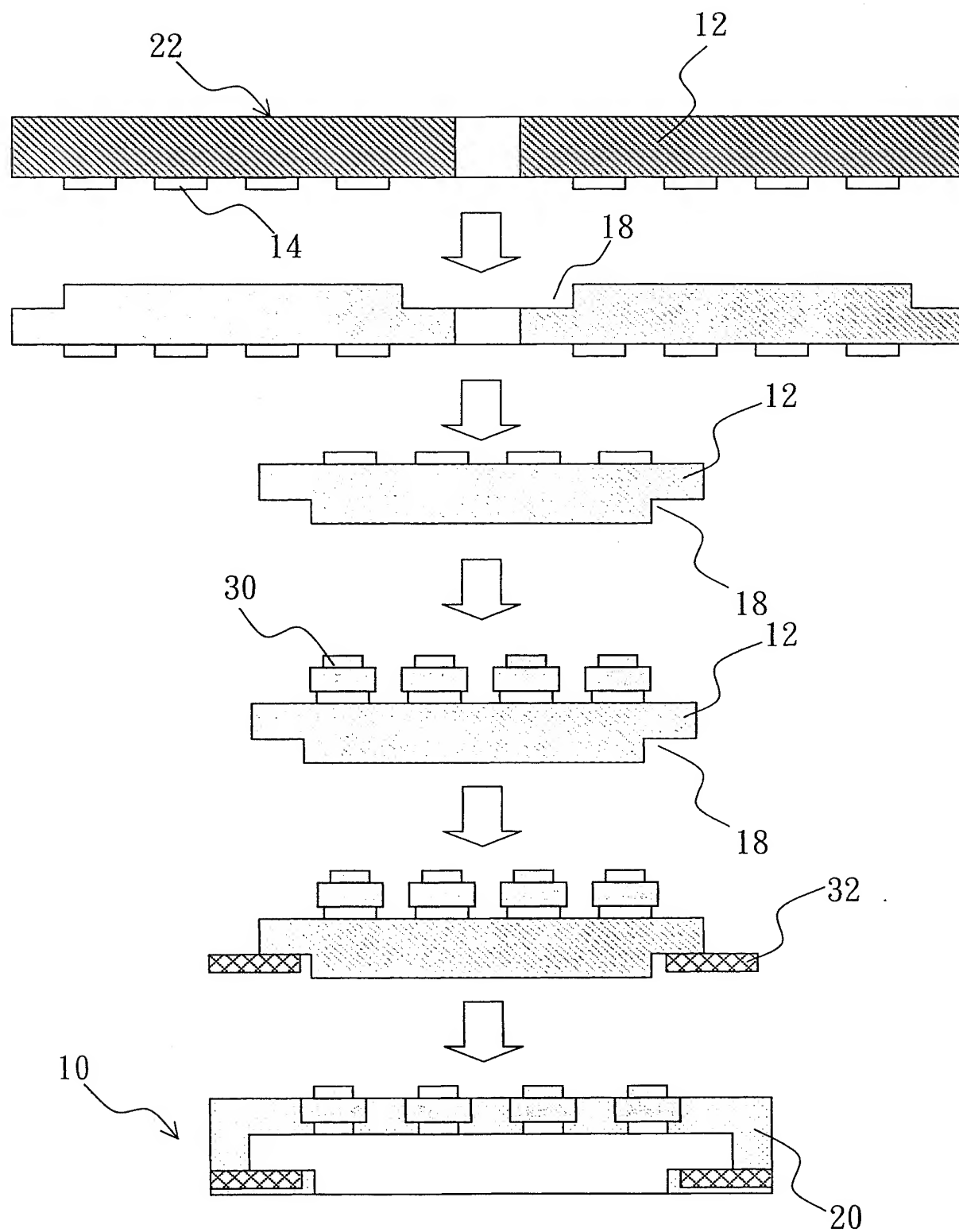
第二十圖



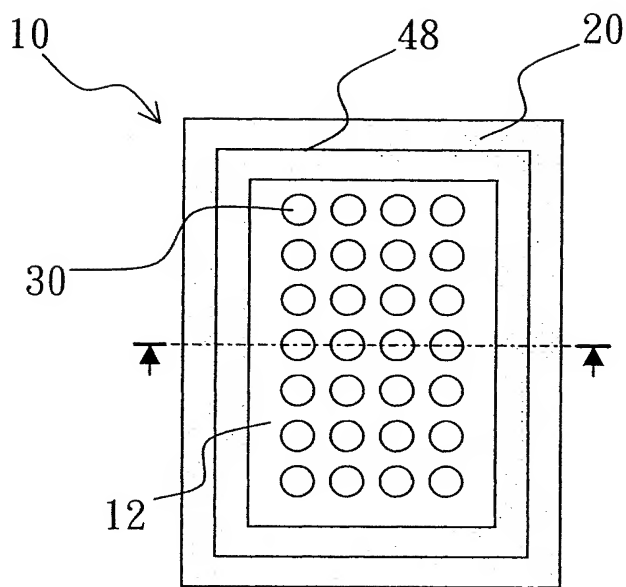
第二十一圖



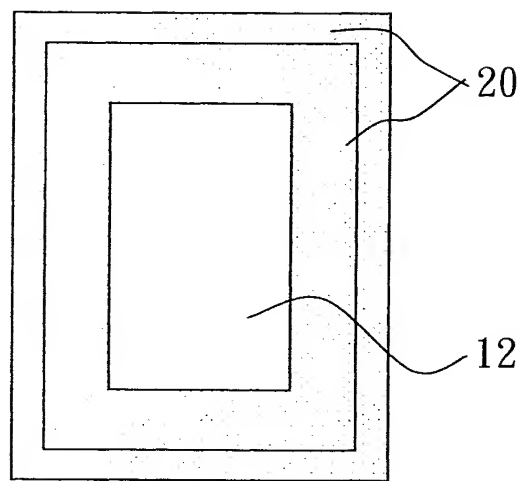
第二十二圖



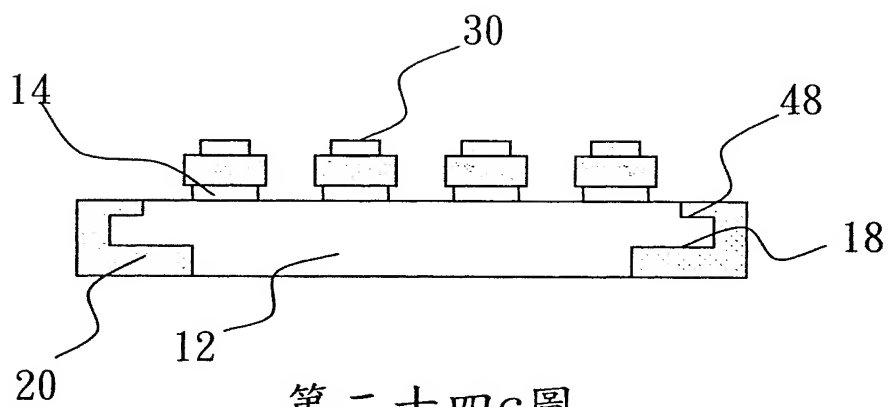
第二十三圖



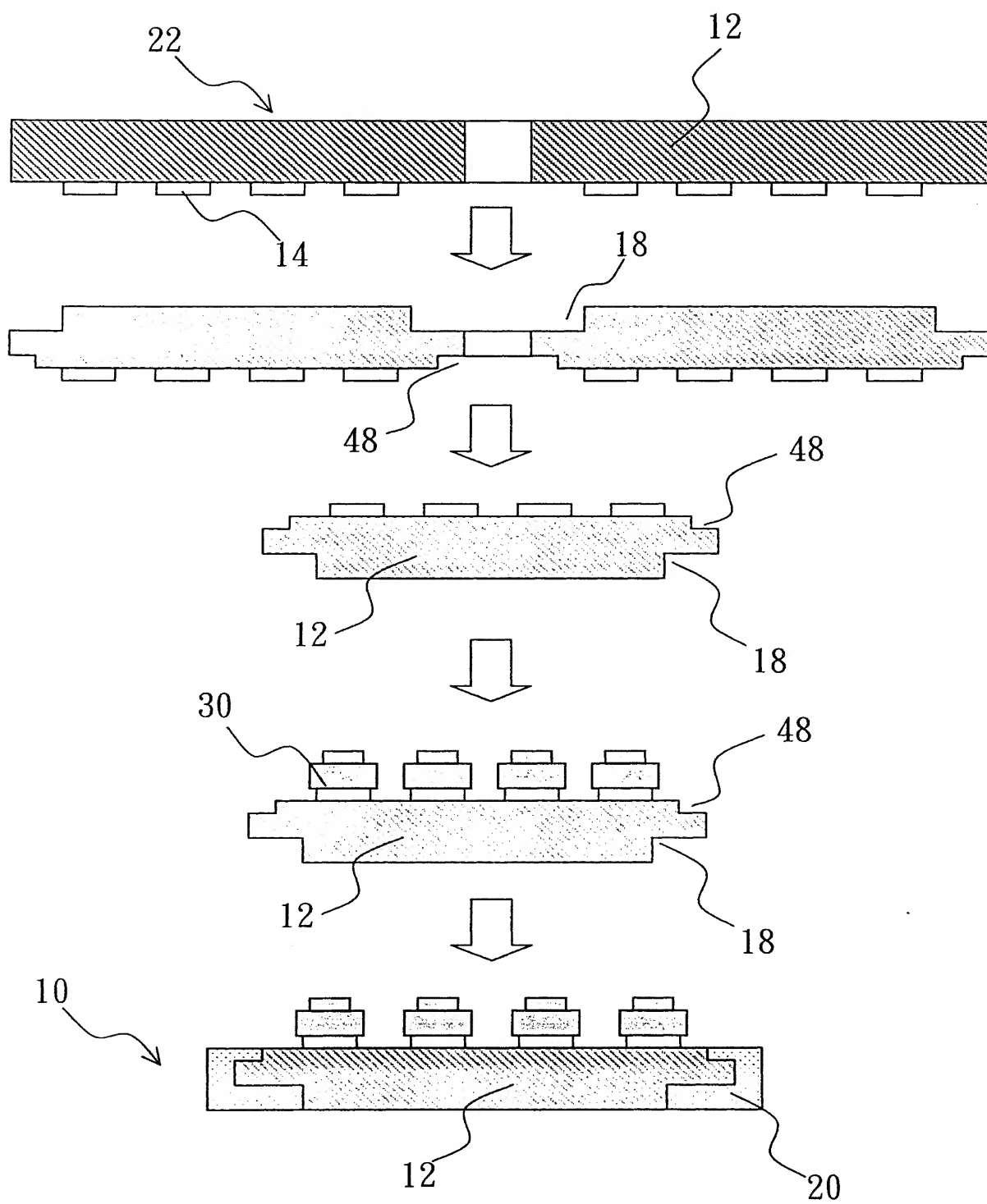
第二十四a圖



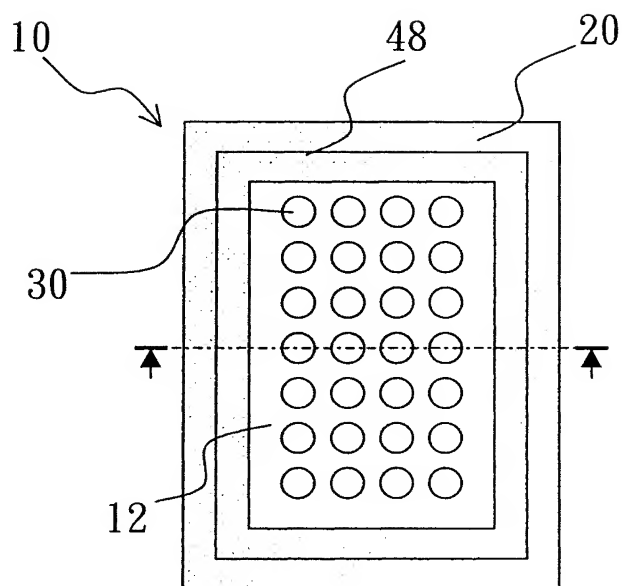
第二十四b圖



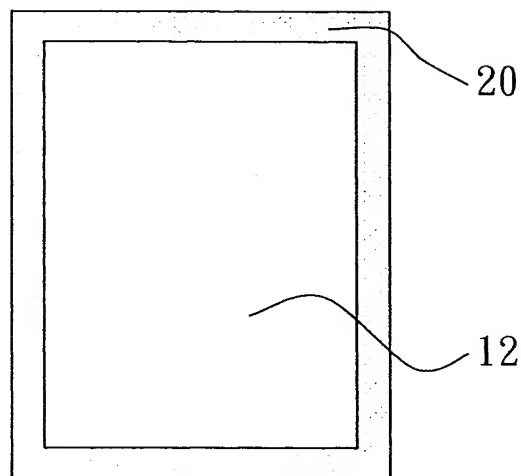
第二十四c圖



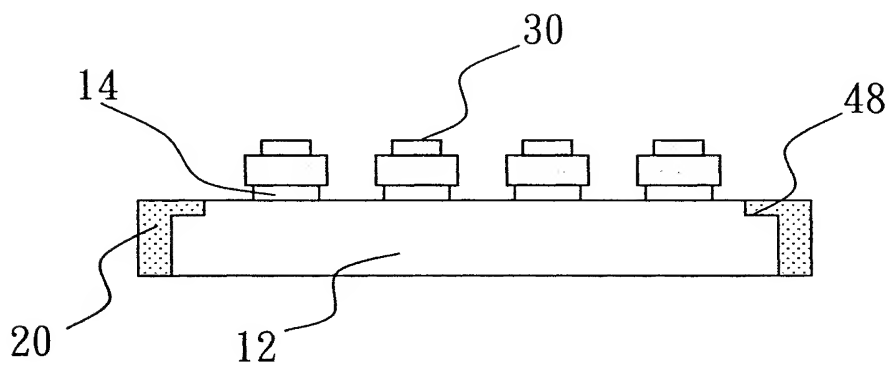
第二十五圖



第二十六a圖



第二十六b圖



第二十六c圖